

PATENT ABSTRACTS OF JAPAN

2

(11)Publication number : 03-019507
 (43)Date of publication of application : 28.01.1991

(51)Int.CI. H03F 1/02
 H03F 3/191
 H03F 3/21

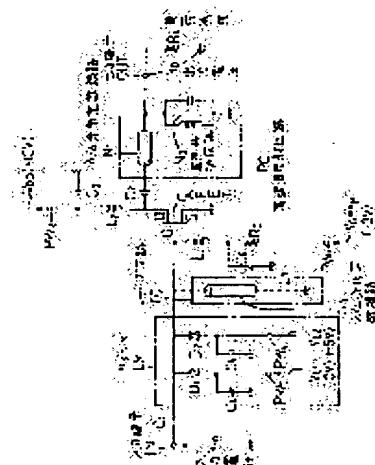
(21)Application number : 01-154095 (71)Applicant : UCHU TSUSHIN KISO GIJUTSU
 KENKYUSHO:KK
 (22)Date of filing : 16.06.1989 (72)Inventor : DOI YOSHIKAZU
 ISO AKIO
 OKUBO HISAFUMI
 SEKINE KENJI

(54) HIGH EFFICIENCY AMPLIFIER

(57)Abstract:

PURPOSE: To improve the power efficiency by providing a limiter to a gate input and clipping positive and negative peaks of a gate voltage to a value nearly equal to maximum allowable forward and reverse voltages of the gate or below respectively.

CONSTITUTION: A limiter LM is provided to a gate input of a TR Q, a gate voltage V9 is formed to be a trapezoidal wave and the positive and negative peaks are set equal to the maximum allowable forward and reverse voltages of the gate or below respectively. The gate connects to a power terminal PW3 receiving a voltage VL1 corresponding to the positive peak voltage of a limiter output via a diode D1 and connects to a power terminal PW4 receiving a voltage VL2 corresponding to the negative peak voltage of the limiter output via a diode D2. Thus, it is possible to make the drain voltage VD close to a rectangular wave, and the drain loss is reduced and a class F amplifier with excellent power efficiency is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP) ⑪ 特許出願公開
⑯ 公開特許公報 (A) 平3-19507

⑤Int. Cl. 5

H 03 F 1/02
3/191
3/21

識別記号

庁内整理番号

⑬公開 平成3年(1991)1月28日

6832-5 J
6751-5 J
8836-5 J

審査請求 未請求 請求項の数 2 (全7頁)

④発明の名称 高効率増幅器

⑪特 願 平1-154095

⑫出 願 平1(1989)6月16日

⑬発明者 洞 井 義 和 東京都千代田区岩本町2丁目12番5号 株式会社宇宙通信
基礎技術研究所内

⑬発明者 磯 彰 夫 東京都千代田区岩本町2丁目12番5号 株式会社宇宙通信
基礎技術研究所内

⑬発明者 大 久 保 尚 史 東京都千代田区岩本町2丁目12番5号 株式会社宇宙通信
基礎技術研究所内

⑬発明者 関 根 健 治 東京都千代田区岩本町2丁目12番5号 株式会社宇宙通信
基礎技術研究所内

⑭出 願人 株式会社宇宙通信基礎
技術研究所 東京都千代田区岩本町2丁目12番5号

⑮代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

高効率増幅器

2. 特許請求の範囲

(1) ゲートがほどとビンチオフ電圧にバイアスされたソース接地形FET増幅回路のドレインの出力負荷回路として、ドレイン側より見た入力インピーダンスが入力信号の基本波の周波数で抵抗負荷を示し、偶数次及び奇数次高調波の周波数でそれぞれほど短絡及び開放となるような高調波反射回路を接続して成るFET増幅器において、

ゲート入力側にリミッタを設けて、ゲート電圧の正及び負のピーク値をそれぞれゲートの最大許容順電圧及び最大許容逆電圧とほど等しい値またはそれ以下にクリップしたことを特徴とする。

高効率増幅器。

(2) 請求項(1)において、ゲート入力側に入力信号の偶数次高調波を抑圧するためのバンドストップ

フィルタを設けたことを特徴とする高効率増幅器。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は衛星搭載用電子装置、携帯式無線機などのFET(電界効果トランジスタ)増幅器の効率の向上に関する。

「従来の技術」

従来この種の増幅器には第1図に示すようなF級増幅器と呼ばれるものが用いられる。入力端子INに与えられる正弦波の入力信号(一般にはFM波、PM波など)は直流阻止用コンデンサC₁を介して電界効果トランジスタ(以下FETまたは単にトランジスタと言う)Qのゲートに印加される。トランジスタQのゲートはチョークコイルL₁を介して電源端子P_{W₁}に接続される。トランジスタQのソースは接地され、ドレインはチョークコイルL₂を介して、例えば電源電圧V_{DD}=10Vの電源端子P_{W₂}に接続される。トランジスタQで増幅された信号は直流阻止用コンデンサC₂

及び $\lambda/4$ 分布定数線路 N_1 、出力端子 OUT を順次介して負荷抵抗 R_L に供給される。 $\lambda/4$ 分布定数線路の出力端は、入力信号の基本波の周波数 f_1 に共振する並列共振回路 N_2 を介して接地される。トランジスタ Q の負荷インピーダンス Z_L は、 $\lambda/4$ 分布定数線路 N_1 と並列共振回路 N_2 とで構成される高調波反射回路 R_C の特性によって、

(i) 基本波に対して $Z_L(f_1) \approx R_L$

ここで、 $R'_L = R_L / \sqrt{R_L}$ で、 R'_L は $\lambda/4$ 分布定数線路 N_1 の特性インピーダンスである。

(ii) 偶数次高調波に対して $Z_L(2nf_1) \approx 0$

(iii) 奇数次高調波に対して $Z_L(nf_1) \approx \infty$ となるように構成される。ここで、 $n \geq 1$ の整数である。

上記 (i) ~ (iii) の特性から、

(i) ドレイン電圧 V_D は直流分と基本波と奇数次高調波のみ含むものとなり（偶数次に対して負荷 Z_L はショートであり電圧がゼロとなるため）、

(ii) ドレイン電流 I_D は直流分と基本波と偶数次高調波のみ含むものとなる（奇数次に対して負

荷 Z_L はオープンであり、電流が流れないとため）。

電源端子 PW の電圧、つまりゲートバイアス電圧 V_g はビンチオフ電圧 V_F （トランジスタ Q がカットオフとなる限界のゲート電圧を言い、この例では -3 V）に等しく選ばれる。

トランジスタ Q のゲートに第 5 図 A に示す正弦波のゲート電圧 V_g が印加されると、同図 B に示すように、 $V_g > V_F$ となる交流半波のときのみドレイン電流 I_D がソースに向かって流れ、 $V_g \leq V_F$ となる他の半波ではトランジスタ Q はカットオフされて $I_D = 0$ である。従って、ドレイン電流 I_D は正弦波形の半波整流波となる。ゲート電圧 V_g の大きさによってドレイン電流 I_D の振幅は変化する。しかし、上記 (i) の特性からドレイン電流 I_D は基本波と偶数次高調波のみを含む正弦半波整流波形を維持する。ドレイン電流 I_D に対応するドレイン電圧 V_D は同図 C に示すように電源電圧 $V_{DD} = 10 V$ を中心として上下に振った波形となる。この例では谷のピーク値は 0 V よりやや大きな値（トランジスタにオン抵抗があるの

で 0 V にはならない）をとり、山のピーク値は $2 V_{DD} = 20 V$ よりやや小さな値で、それぞれ先端が多少欠けた波形となる。ゲート電圧 V_g の振幅が図 A よりある程度小さくなれば、ドレイン電圧 V_D のピーク値が頭打ちとなることはない。逆にゲート電圧 V_g が更に大きくなるにつれて、ドレイン電圧 V_D は頭打ちがひどくなり、台形波、更には矩形波に近づいて行く。しかし常に上記 (i) の特性は保持される。

ドレイン電流 I_D は上記 (ii) で述べたように直流分と基本波と偶数次高調波より成るが、その直流分はチョークコイル L_1 を流れ、基本波と偶数次高調波とは $\lambda/4$ 線路 N_1 を流れる。その偶数次高調波は R_L に比べてインピーダンスの小さな並列共振回路 N_2 に大部分が流れ、 R_L にはほとんど流れない。並列共振回路 N_2 は基本波に対するインピーダンスが R_L に比べて極めて高いので、基本波の電流は R_L を流れる。従って負荷 R_L に供給される出力電圧 V_{out} は第 5 図 D に示すように基本波のみの正弦波となる。

第 6 図 A 乃至第 8 図 A はトランジスタ Q の $I_D - V_g$ 静特性図上において、トランジスタ Q のどる (I_D, V_g) の組が増幅器の動作点 P_0 を中心として移動する軌跡 $P_1 \sim P_2$ を示した図であり、上記各図の B 及び C はそれぞれ A の軌跡と対応するドレイン電流 I_D 及びドレイン電圧 V_D の軌跡、つまり波形を示した図である。第 6 図は入力のゲート電圧 V_g の振幅が小さく、ドレイン電圧 V_D が頭打ちとならない場合を示し、上記軌跡 $P_1 \sim P_2$ は動作点 P_0 に折れ点を持つ直線となる。 $P_1 \sim P_2$ はゲート電圧 V_g の振幅が小さい場合である。第 7 図はドレイン電圧 V_D が頭打ちとなり、台形波となるまでゲート電圧 V_g の振幅を増加させた場合である。 (I_D, V_g) の軌跡 $P_1 \sim P_2$ の半部 $P_1 \sim P_0$ は直線 $P_1 \sim P_0$ の下方に凸の曲線となる。第 8 図はゲート電圧 V_g の振幅を更に増加させて、ドレイン電圧 V_D を矩形波に近づけた場合であり、軌跡 $P_1 \sim P_2$ の湾曲の度合いが更に大きくなる。

トランジスタ Q のドレイン損失は $I_D \times V_D$ であ

るから、点 (I_0, V_0) の軌跡 $P_1 \sim P_6$ の湾曲の度合いが大きく、座標の V_0 軸及び I_0 軸に近づくほどドレイン損失は小さくなる。言い換ればドレイン電圧波形が矩形波に近づくほどドレイン損失は小さくなる。また、詳しい説明は省略するが、負荷 R_L に供給する出力電力 P_o はドレイン電圧波形が矩形波に近づくほど大きくなる。従って、電源効率(ドレイン効率) $\eta = (P_o / P_{oc}) \times 100\%$ についても同じことが言える。なお、 P_{oc} は電源よりドレインに供給する直流電力、 P_o は負荷 R_L に供給する信号波の電力である。

第7図及び第8図は電源効率とドレイン電圧 V_d の波形との関係を説明するために示したものであって、実際には次項で述べるようにゲート電圧 V_g に対する制限から、ドレイン電圧 V_d をこのように台形波や矩形波にすることはできない。

「発明が解決しようとする課題」

衛星搭載用電子装置、携帯式無線機等では電源装置を小型軽量でかつ長寿命にする必要があるため、出力増幅器には電源効率のよいことが要求さ

れる。しかしながら、使用すべき FET (GHz 帯であるため G, A, FET が用いられる) の性能のために、出力増幅器は満足すべき効率には無い。即ち、ゲート電圧の最大値 $V_g, \max > 0$ の場合、ゲートのショットキー接合に順方向電流(ゲートからソースに流れる電流)が流れ、その許容値は平均的な直流値で数mA程度であるので、正のゲート電圧 V_g は最大許容順電圧に制限される。

一方、ゲート電圧の最小値 V_g, \min がショットキー接合の逆耐圧(例えば-7V)を越えると、リード電流が流れ、その許容値も平均的な直流値で数mAであるので、負のゲート電圧 V_g は最大許容逆電圧に制限される。

このようにゲート電圧 V_g の正負のピーク値が制限されることから、ドレイン電圧 V_d が台形波や矩形波になるところまでゲート電圧 V_g の振幅を大きくできず、そのため高い電源効率を得ることができなかった。

この発明の目的は、上記した従来の難点を解決して、電源効率の高い F 級 FET 出力増幅器を提

供しようとするものである。

「課題を解決するための手段」

ゲートがほどビンチオフ電圧にバイアスされたソース接地形 FET 増幅回路のドレインの出力負荷回路として、ドレイン側より見た入力インピーダンスが入力信号の基本周波数で抵抗負荷を示し、偶数次及び奇数次高調波の周波数でそれぞれほど短絡及び開放となるような高調波反射回路を接続して成る FET 増幅器において、この発明では、

ゲート入力側にリミッタを設けて、ゲート電圧の正及び負のピーク値をそれぞれゲートの最大許容順電圧及び最大許容逆電圧には等しい値またはそれ以下にクリップするものである。

上記増幅器のゲート入力側に入力信号の偶数次高調波を抑圧するためのバンドストップフィルタを設けるのが望ましい。

「実施例」

この発明の実施例を第1図に、第4図と対応する部分には同じ符号を付して示し、重複説明を省

略する。この発明では、トランジスタ Q のゲート入力側にリミッタ LM が設けられ、これによりゲート電圧 V_g は台形波とされ、その正及び負のピークはそれぞれゲートの最大許容順電圧(例えば 0.7V) 及び最大許容逆電圧(例えば -7V) に等しいかまたはそれ以下に設定される。ゲートは、ダイオード D₁ を介して、リミッタ出力の正のピーク電圧と対応する電圧 V_{L1} が供給される電源端子 P_{W1} に接続されると共に、ダイオード D₂ (ダイオード D₁ とは逆向き) を介して、リミッタ出力の負のピーク電圧と対応する電圧 V_{L2} が供給される電源端子 P_{W2} に接続される。電源端子 P_{W1}, P_{W2} はそれぞれ高調波信号をショートさせるバイパスコンデンサ C₁, C₂ を介して接地される。これらのダイオード D₁, D₂, コンデンサ C₁, C₂ 等によりリミッタ LM が構成される。なお、この例ではゲートはコイル L₁ 及び抵抗器 R₁ を順次介して電源端子 P_{W1} に接続されると共にコイル L₁ と抵抗器 R₁ の接続点はバイパスコンデンサ C₁ を介して接地され、ゲート入力信号がゲー

トバイアス回路へ分岐して損失とならないようになっている。

第1図の回路の要部の波形を第2図に示してある。リミッタLMの出力電圧を矩形波に近づけるために、入力電圧 V_{in} の振幅はリミッタ出力電圧のそれより十分大きく選ばれる。リミッタ出力電圧は台形波になると共に電圧のピーク値はゲートの最大許容電圧近くまで大きく設定されているので、ドレイン電圧 V_d は $V_{dd} = 10$ Vを中心として $\pm 0 \sim \pm 20$ Vの範囲で振動する台形波とされ、従来よりいっそう矩形波に近い波形となる。

増幅器の入力電力 P_i を変化させた場合の、出力電力 P_o 、電源効率 η 、ゲート電流 I_g の変化を第3図に示す。同図において点線で示したゲート電流特性は第4図に示した従来例であり、入力電力 P_i が P_{i1} に近づくとゲート電流 I_g は負電流（ソースからゲートに流れる）から順電流（ゲートからソースに流れる）に変化し、入力電力 P_i において順電流の許容値 I_{gmax} に達する。したがって入力電力 P_i をこれ以上増やすことはでき

ず、最大出力、最大効率はそれぞれ P_{o1} 、 η_1 に制限される。（この例は負電流のピーク値は許容値 I_{gmin} を越えず、順電流によって入力電力が制限される場合である。）しかし、第1図の回路ではリミッタLMの作用によりゲート電流の正負のピーク値は従来例より充分小さく抑えられ、許容値 I_{gmax} 、 I_{gmin} を越えることはない。従って、ゲート電圧 V_g についても同様である。入力電力 P_i を効率 η が飽和値 η_s （ $> \eta_1$ ）をとる例えば P_{i2} （ $> P_{i1}$ ）まで増加させることができ、そのとき最大出力 P_{o2} （ $> P_{o1}$ ）が得られる。数値例をあげれば、 $\eta_1 = 70\%$ 、 $\eta_s = 80\%$ ； $P_{o1} = 28.5$ dBm、 $P_{o2} = 30$ dBm の如くである。

第1図に点線で示すようにトランジスタQのゲートに偶数次高調波を倒路させるためのトラップ回路（一般的にはバンドストップフィルタ）N₂を設けるのが望ましい。この例では、トラップ回路T_Cは基本波で $1/4$ の分布定数線路N₁と直流阻止用のコンデンサC₁との直列回路で構成した場合が示されている。なおコンデンサC₁は高

調波信号のバイパス用も兼ねている。

いま、トラップ回路T_Cが無い場合を考える。入力信号に周波数の近い二つの正弦波（ f_1, f_2 ）が含まれていると、リミッタLMの非直線性によって奇数次高調波以外に偶数次高調波（ $2f_1, 4f_1, \dots; 2f_2, 4f_2, \dots$ ）も発生する。この偶数次高調波は、FETの非直線動作により基本波と結合されて、基本波周波数 f_1, f_2 に近い周波数 $2f_1 - f_2, 2f_2 - f_1$ を持つ相互変調波が発生する。これは三次の相互変調成分とも言われるものである。これらの周波数は基本波周波数に近いので、分離するのは困難であり、従ってFETの入力に含まれる偶数次の高調波を除去するのが望ましく、トラップ回路T_Cはこのためのものである。

「発明の効果」

この発明によれば、FETのゲート入力側にリミッタが設けられ、入力ゲート電圧はその正及び負のピーク値がゲート電圧の正及び負の許容値にほど等しい大きさかまたはそれ以下の台形波にクリップされ、ドレイン電圧 V_d を従来よりかなり

矩形波に近づけることが可能となる。その結果、ドレイン損失が減少し、従来より電源効率のよいF級増幅器が実現できる。

ゲート入力側に偶数次高調波を抑圧するためのバンドストップフィルタを設けた場合には、増幅器出力の相互変調歪を大幅に改善できる。

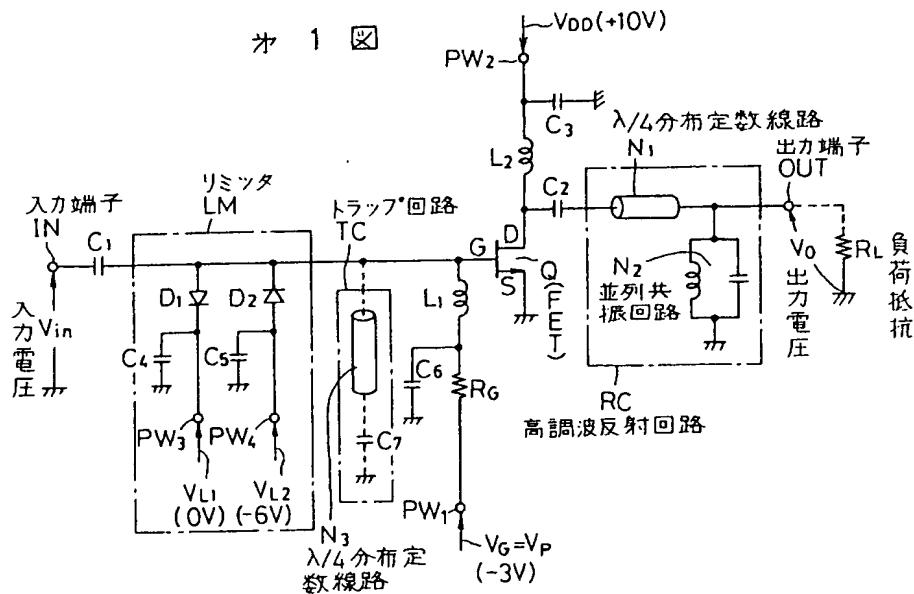
4. 図面の簡単な説明

第1図はこの発明の実施例を示す回路図、第2図は第1図の要部の波形図、第3図は第1図の実施例において入力電力を変化させた場合の出力電力、電源効率及びゲート電流の変化を示す図、第4図は従来の高効率増幅器の回路図、第5図は第4図の要部の波形図、第6図乃至第8図は第4図のFETのドレイン電圧 V_d 、対ドレイン電流 I_d の静特性図上に画いた、 (V_d, I_d) の組の軌跡と、対応するドレイン電流波形と、ドレイン電圧波形とを示す図である。

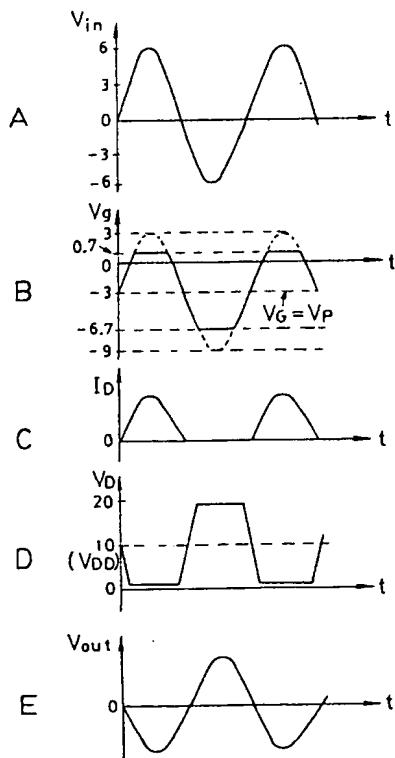
特許出願人

株式会社 宇宙通信基礎技術研究所
代理人 草野卓

ガ 1 図

 C_1, C_2, C_7 : 直流阻止用コンデンサ C_3, C_4, C_5, C_6 : バイパスコンデンサ L_1, L_2 : チョークコイル $PW_1 \sim PW_4$: 電源端子

ガ 2 図



ガ 3 図

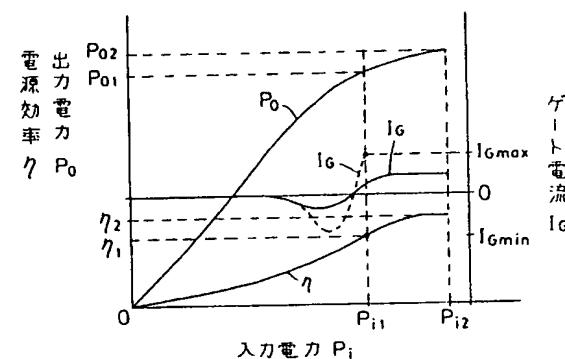
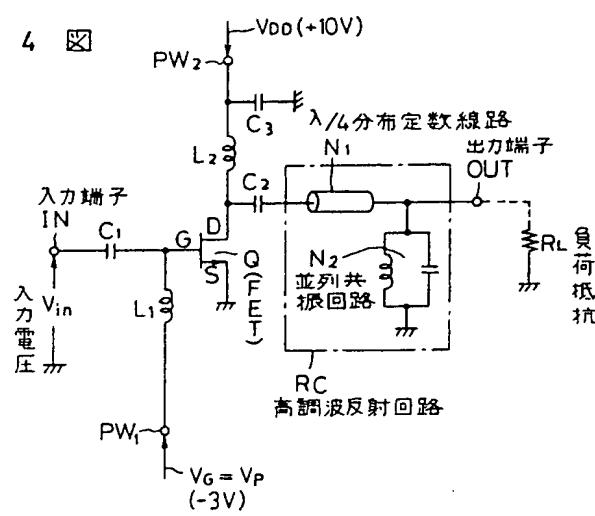


図 4



C_1, C_2 : 直流阻止用コンデンサ
 C_3 : バイパスコンデンサ
 L_1, L_2 : チョークコイル
 PW_1, PW_2 : 電源端子

図 5

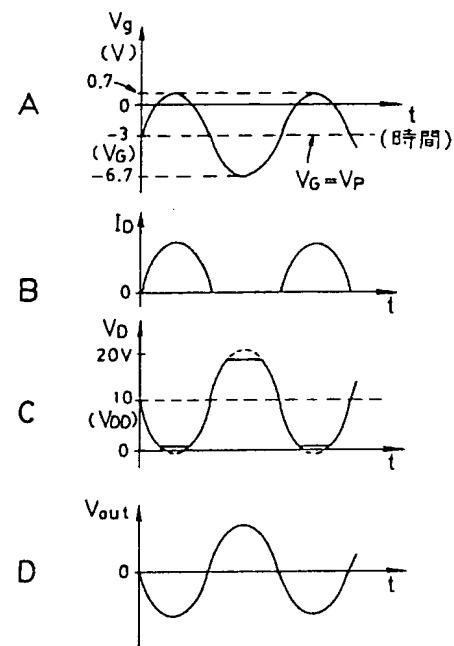


図 6

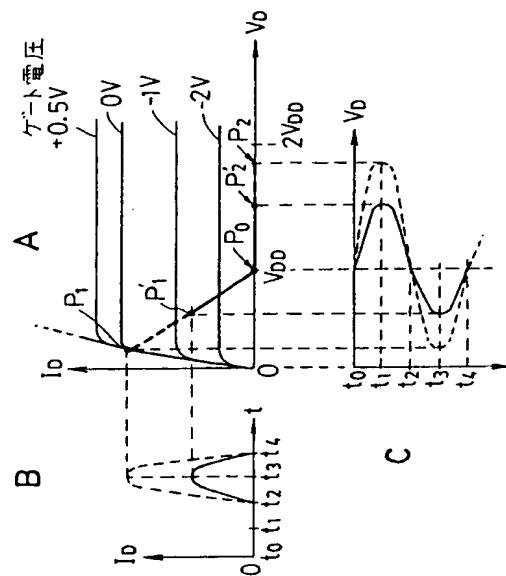
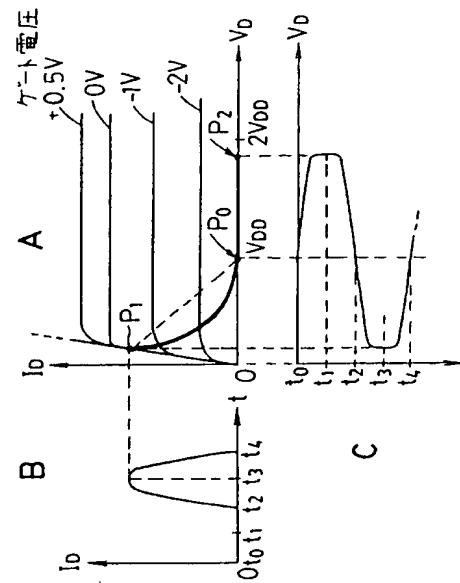


図 7



第 8 図

